

SINTEZA $\Sigma\Delta$ MODULATORA U MULTIPLEKSIRANOM ANALOGNO DIGITALNOM KONVERTORU

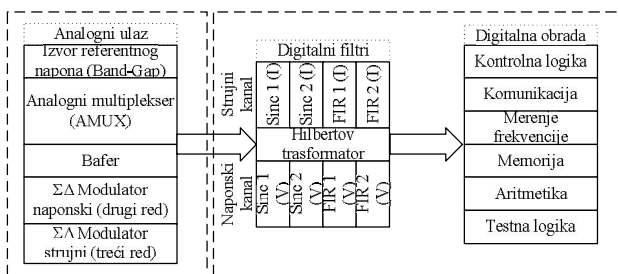
Dejan Mirković, Predrag Petković, *Univerzitet u Nišu, Elektronski fakultet u Nišu*
 dejan.mirkovic@elfak.ni.ac.rs, predrag.petkovic@elfak.ni.ac.rs

Sadržaj – Rad opisuje postupak sinteze $\Sigma\Delta$ modulatora u Analogno-Digitalnom konvertoru (ADC) sa multipleksiranim ulazom. Konvertor je namenjen za primenu u integrisanom trofaznom meraču potrošnje električne energije. Biće komentarisane osnovne karakteristike i primena inkrementalnih ADC. Takođe, biće opisana arhitektura ADC specifična za navedenu primenu sa posebnim osvrtom na stabilnost. Funkcionalnost predložene arhitekture uspešno je potvrđena simulacijom.

1. UVOD

Evidentno je da se svaki savremeni merni uređaj zasniva na primeni specifičnog integrisanog kola (MCU, FPGA, ASIC). Izuzetak ne predstavljaju ni elektronska brojila. U tom cilju vodeći proizvođači integrisanih kola poput kompanija Maxim, Analog Device, Texas Instruments i Cirrus Logic nude rešenja za integrisana brojila. Svima je zajedničko da proračunavaju utrošenu električnu energiju na osnovu trenutnih vrednosti struje i napona mreže. Trenutne vrednosti struje i napona, prethodno se, prevode u digitalni domen. Ova činjenica ukazuje da je tačnost merenja u velikoj meri zavisna od kvaliteta i rezolucije korišćenog A/D konvertora (ADC, *Analog to Digital Converter*).

Projektantski tim LEDA laboratorije sa Elektronskog Fakulteta u Nišu duži niz godina razvija seriju ASIC kola pod nazivom Integrisani Merač Potrešnje Električne Energije (IMPEG). U cilju boljeg razumevanja zahtevanih osobina ADC koji je predmet ovog rada, biće opisani osnovni principi i pregled arhitekture IMPEG rešenja. Na slici 1 prikazan je blok dijagram prve, monofazne, verzije IMPEG kola, IMPEG1.



Sl.1. Blok dijagram IMPEG1 kola

Sa slike 1 se mogu uočiti tri funkcionalna bloka. Prva funkcionalna celina, gledano u smeru toka signala iz spoljnijeg sveta ka čipu, je analogni-ulazni blok. Ovaj blok ima ulogu da trenutne vrednosti struje i napona prevede u digitalni oblik. S obzirom da se radi o NF signalima (50Hz) racionalno je da se iskoriste prednosti uzorkovanja (*sampling*) sa frekvencijom, f_s , koja je veća od Nyquistove (*oversampling*) [1]. U tu svrhu koristi se $\Sigma\Delta$ modulator drugog i trećeg reda za naponski i strujni kanal, respektivno. Modulatorima se VF šum, koji potiče od kvantizacije, potiskuje iz propusnog opsega signala dok spektralni sadržaj

signala od interesa ostaje ne promenjen. Kao rezultat, na izlazu modulatora dobija se diskretizovan signal niske rezolucije (jednobitna, u slučaju modulatora drugog reda) na frekvenciji, f_s . Kasnije se ovaj signal dalje obrađuje u digitalnom domenu propusnikom niskih upčsetanosti (NF) i usrednjava do željene rezolucije (u ovom slučaju 16-bitne). Pošto je prema korisničkim zahtevima potrebno obezbediti praćenje signala struje i napona osnovne frekvencije, $f_m=50\text{Hz}$, do četrdesetog harmonika, usvojeno je da donja granična frekvencija VF filtra tj. osnovni opseg, bude

$$BW=2 \cdot 2^{10}=2048\text{Hz} \sim 2\text{kHz}. \text{ U ovom slučaju Nyquistova}$$

$$\text{frekvencija je } f_n=2 \cdot BW=4 \cdot 2^{10}\text{Hz}=4096\text{Hz} \sim 4\text{kHz}. \text{ Na osnovu}$$

proračuna koji uzima u obzir dinamički opseg i red modulatora dobija se faktor uzorkovanja $M=128$ [2]. Za f_s se

$$\text{dobija, } f_s=M \cdot f_n= 524288\text{Hz} \sim 500\text{kHz}. \text{ Treba uočiti da se}$$

veličine struje i napona usled različitih dinamičkih opsega i osetljivosti na šumove obrađuju u dva odvojena kanala. Više podataka o projektovanim modulatorima može se naći u [2].

Drugi blok predstavlja digitalni deo konvertora. Njega čine digitalni filtri kojima se uklanja VF šum iz propusnog opsega. U ovu svrhu koriste se Sinc i NF FIR filtri. Istovremeno u njima se jednobitni digitalni signal konvertuje u 16-bitni (usrednjavanje) uz smanjenje broja uzoraka (decimacija). Ovaj blok takođe sadrži i Hilbertov transformator koji služi da generiše signal proporcionalan ulaznom naponu uz fazni pomak od $\pi/2$ radijana. Taj signal se koristi za izračunavanje reaktivne komponente snage, odnosno energije u narednom bloku.

Treću funkcionalnu celinu predstavlja blok za digitalnu obradu ulaznih signala. U njemu se proračunavaju efektivne vrednosti struje i napona; aktivna, reaktivna i prividna snaga i energija; faktor snage ($\cos\phi$) i frekvencija.

IMPEG1 je realizovan u CMOS 0.35μ *AMI Semiconductor* tehnologiji. Nakon karakterizacije fabrikovanog prototipa IMPEG1 čipa došlo se do zaključka da drugi red modulatora zadovoljava zahteve po pitanju dinamičkog opsega i rezolucije u oba kanala (strujnom i naponskom). Prema tome novije generacije IMPEG čipa koriste modulator drugog reda kako za naponski tako i za strujni kanal.

Imajući u vidu da u našem elektroenergetskom sistemu dominira potreba za trofaznim brojilima, druga verzija čipa

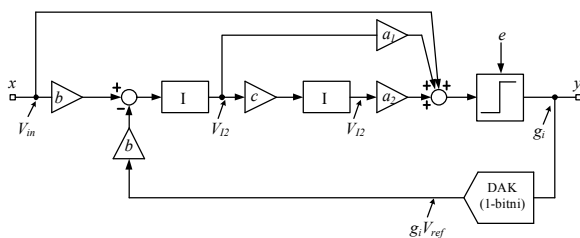
IMPEG2 projektovana je sa ciljem da meri potrošnju sve tri faze. Zato je analogni, ulazni, deo IMPEG2 čipa realizovan kao utrostručena varijanta analognog dela IMPEG1. Praktično IMPEG2 sadrži šest $\Sigma\Delta$ modulatora i to tri za strujni i tri za naponski kanal za sve tri faze. Međutim digitalni deo ADC projektovan je na sasvim drugačiji način u odnosu na IMPEG1. Originalno rešenje objavljeno je u [3]. Više detalja o prethodnim verzijama IMPEG čipa može se naći na [4].

Od aktuelne generacije trofaznog IMPEG čipa, nazvanog IMPEG3, zahteva se da obezbedi obradu signala struje i napona za svaku fazu po kanalu na identičan način. Trenutno rešenje, IMPEG2, u svom analognom ulazu sadrži šest modulatora. Iako su realizovani na osnovu identičnih maski, usled varijacija tehnološkog procesa i pozicije maski modulatori neće imati identične performanse nakon fabrikacije. Neuparenost modulatora utiče na vrednosti konvertovanih vrednosti struja i napona, a samim tim i na proračun električne energije. Da bi se otklonile tako nastale greške dobro je da svi kanali koriste isti modulator. Pored toga, uvek je poželjno uštedeti površinu koju zauzima ovaj deo ADC na čipu. Zato se predlaže primena konvertora sa multipleksiranim ulazima. Nekoliko potencijalnih rešenja ovog problema objavljeno je u [5]. Sva predložena rešenja podrazumevaju odvojeni strujni i naponski kanal. Ovaj pristup je opravdan različitim dinamičkim opsegom i osetljivošću na šumove za strujni i naponski kanal. Pokazalo se da je najpogodniji koncept sa tri ulaza po kanalu tj. tri za struje i tri za napon za svaku fazu. Ovaj koncept se takođe može proširiti na generalno N ulaza.

U narednom odeljku rada biće više reči o samoj arhitekturi $\Sigma\Delta$ modulatora. Stabilnost predložene arhitekture biće komentarisana u trećoj sekciji rada. Četvrti deo prikazuje električnu šemu modulatora sa detaljnim objašnjenjem funkcije kola. Takođe, biće reči i o razvijenom SPICE modelu modulatora. Rezultati simulacije kojima se potvrđuje funkcija usvojene električne šeme prezentovani su u petom odeljku. Konačno, šesti deo rada sadrži analizu dobijenih rezultata i sublimira stečena iskustva.

2. ARHITEKTURA $\Sigma\Delta$ MODULATORA

U prethodnim verzijama IMPEG čipa za realizaciju modulatora drugog reda korišćena je kaskadna veza integratora sa povratnom spregom u svakom stepenu (CIFB-*Cascade of Integrators Feed Back*). Svaki integrator je realizovan kao diskretni-analogni integrator pomoću aktivnih kola sa komutiranim kondenzatorima (SC-*Switch Capcator*). Istraživanja publikovana u [6] ukazuju da klasičan tip $\Sigma\Delta$ ADC nije pogodan u kombinaciji sa multipleksiranim ulazom. U [7] se tvrdi da je mnogo pogodnije realizovati modulator kaskadnom vezom integratora sa samo jednom povratnom spregom (CIFF-*Cascade of Integrators Feed Forward*). Na slici 2 prikazan je blok dijagram CIFF arhitekture modulatora drugog reda koji će biti implementiran kao deo ADC u IMPEG3.



Sl.2. Blok dijagram CIFF arhitekture $\Sigma\Delta$ modulatora drugog reda

Sa V_{in} , V_{I1} i V_{I2} označeni su ulazni napon, napon na izlazu prvog i izlazu drugog integratora, respektivno. Sa g_i označen je ulaz, a sa $g_i V_{ref}$ izlaz jednobitnog D/A konvertora. V_{ref} označava referentni napon. Greška kvantizacije predstavljena je vremenski promenljivim signalom e koji se dodaje u bloku jednobitnog kvantizera. Blokovi označeni sa I predstavljaju diskretne integratore sa kašnjenjem, dok b , c , a_1 i a_2 predstavljaju koeficijente modulatora. Vremenski promenljivi ulazni i izlazni signali modulatora označeni su sa x i y respektivno. $\Sigma\Delta$ ADC kod kojih se šum obrađuje modulatorom CIFF arhitekture poznati su pod nazivom *inkrementalni* ADC. Važno je naglasiti da se kod ovakve vrste konvertora zahteva konstantan ulazni signal za razliku od klasičnog $\Sigma\Delta$ tipa ADC. To se obezbeđuje *Sample and Hold* (SH) kolom koje prethodi ulazu modulatora. Kod inkrementalnog ADC važno je odrediti minimalni broj taktih ciklusa, n_{min} , potrebnih za ostvarivanje željene rezolucije. Na osnovu toga i frekvencije takta može se proceniti potrebno vreme konverzije jednog uzorka ulaznog signala. Ova informacija je od izuzetne važnosti kada se radi o multipleksiranom ulazu. Ona ukazuje na vreme kada je, po isteku jednog ciklusa konverzije, moguće početi konverziju signala sa narednog ulaza bez gubitka informacije. Naravno, pre početka konverzije novog ulaza neophodno je resetovati ADC (modulator, decimacioni filter) kako ne bi došlo do sistematske greške uzrokovane pamćenjem prethodne vrednosti u integratorima i filtru. Detalji o određivanju parametara inkrementalnih ADC (n_{min} , f_s , M) mogu se naći u [7].

Dodatni zahtev koji se očekuje od ADC u IMPEG3, predstavlja kompatibilnost sa taktom koji koristi postojeći DSP. U prethodnim IMPEG verzijama, ADC šalje podatke prema DSP bloku brzinom od 4096Hz~4kHz. Autori ovog rada opisali su procedure za određivanje frekvencije uzorkovanja inkrementalnog ADC sa multipleksiranim ulazom uzimajući u obzir broj ulaza i brzinu komunikacije ADC sa DSP blokom [8]. Za konverziju jednog signala potrebno je, $n_{min}=768$ taktih ciklusa što vremenski iznosi $t_c=n_{min}/f_s$ sekundi. Ovo vreme odgovara vremenu držanja signala na izlazu odgovarajućeg SH kola koje prethodi ADC. Sa druge strane, DSP „očekuje“ vrednosti za sve tri faze istovremeno na svakih $t_{dsp}=1/4096$ sekundi. Prema tome, u vremenski prozor t_{dsp} treba smestiti tri ciklusa konverzije t_c za svaku od faza. Pored toga, treba uračunati i vreme uzorkovanja signala na ulazu ADC, t_{smp} . Na osnovu prethodnog može se izvesti jednakost data sa (1).

$$t_{dsp} = 3t_c + t_{smp} \quad (1)$$

Da bi se kondenzator u SH kolu ravnomerno punio/praznio, t_{smp} treba da bude jednako t_c . Na ovaj način, iz (1) se može proračunati vrednost frekvencije odmeravanja, $f_s=4n_{min}/t_{dsp}=12582912$ Hz. Pored toga, treba imati u vidu pri definisanju projektnih zahteva da je dobra praksa da se

usvoji maksimalna vrednost ulaznog signala od $0.67 \cdot V_{REF}$,

kako bi se izbeglo zasićenje integratora [7]. Konačno, ukoliko se koristi *Sinc* filter za digitalnu obradu signala na izlazu modulatora potreban je M od 256 da bi se dobila 16-bitna digitalna reč na izlazu ADC [8].

Naredni korak u projektovanju, posle izbora strukture modulatora, jeste određivanje koeficijenata modulatora (a_1 , a_2 , b , c). U ovu svrhu treba analizirati prenosne funkcije šuma (*NTF-Noise Transfer Function*) i signala (*STF-Signal Transfer Function*). Pravilan izbor koeficijenata mora da obezbedi stabilan rad modulatora, a samim tim i čitavog ADC. Od *STF* se očekuje da bude linearna, tako da ne izobličava ulazni signal, odnosno da izlazni signal bude proporcionalan ulaznom.

3. STABILNOST ΣΔ MODULATORA

Pošto je u pitanju modulator drugog reda to se i šum kvantizacije oblikuje VF funkcijom drugog reda. Kako se radi o diskretnom sistemu, analiza stabilnosti biće razmatrana u Z domenu. Vremenski promenljivim signalima x , e i y sa slike 2 odgovaraju kompleksni predstavnici X , Y i E u Z domenu, respektivno. *NTF* je definisana odnosom signala na izlazu modulatora i šuma kvantizacije:

$$\begin{aligned} STF(z) &= \frac{Y}{X} = const. (=1) \\ NTF(z) &= \frac{Y}{E} = \frac{z^2 - 2z + 1}{(z - p_1)(z - p_2)} \end{aligned} \quad (2)$$

gde su p_1 i p_2 polovi *NFT*. Analizom kola sa slike 2 može se utvrditi da je veza polova *NTF* i koeficijenata modulatora data relacijom (3).

$$\begin{aligned} p_1 + p_2 &= 2 - a_1 \cdot b \\ p_1 p_2 &= 1 + a_2 \cdot c \cdot b - c \cdot b \end{aligned} \quad (3)$$

Treba napomenuti da je *NTF* projektovana uz pomoć *MATLAB*[®] *SigmaDelta* paketa. Kada se uzmu ulazni parametri odgovarajućih funkcija unutar *SigmaDelta* paketa

($M = 256$, $V_{max} = 0.67 \cdot V_{REF}$, maksimalno pojačanje *NTF* van

opsega od 2 puta) dobija se prenosna funkcija data sa (4).

$$NTF = \frac{z^2 - 2z + 1}{z^2 - 0.7619z + 0.2361} \quad (4)$$

Stabilnost sistema obezbeđuje se zadržavanjem polova *NTF* unutar jediničnog kruga. Iz (4) sledi da su polovi *NTF* funkcije konjugovano kompleksni i imaju vrednost:

$$p_{1/2} = 0.3819 \pm j \cdot 0.3004 \quad (5)$$

Nakon mapiranja polova na CIFF arhitekturu, za $f_s = 12\text{MHz}$, dobijaju se koeficijenti modulatora:

$$b = 0.47, c = 0.59, a_1 = 2.59, a_2 = 2.75 \quad (6)$$

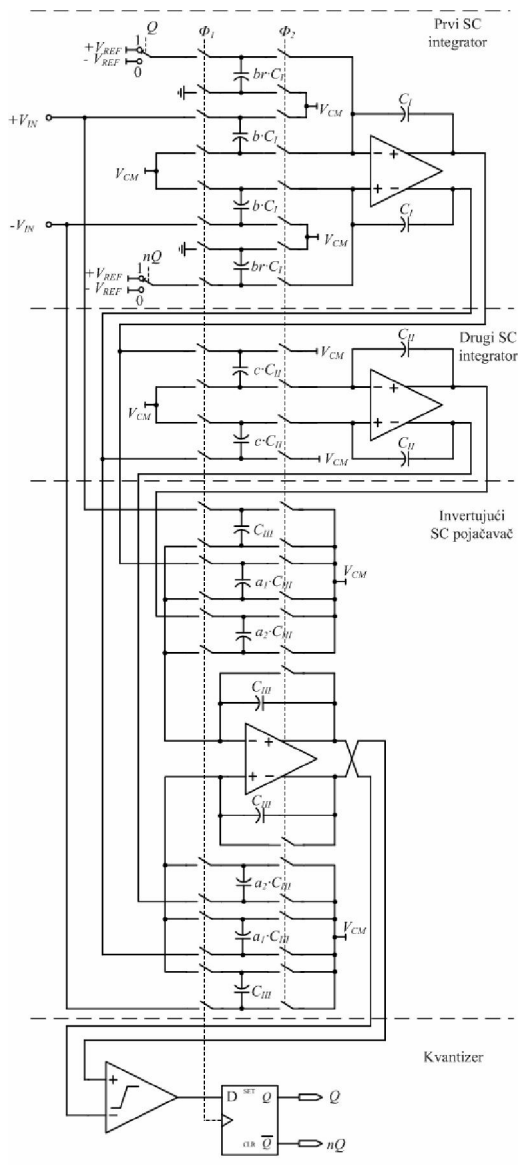
Funkcionalnost arhitekture modulatora u Z domenu potvrđena je simulacijom uz pomoć *MATLAB*[®] *Simulink* alata, a rezultati su objavljeni u [8].

4. ELEKTRIČANA ŠEMA ΣΔ MODULATORA

Nakon određivanja vrednosti koeficijenata modulatora i verifikacije funkcionalnosti arhitekture na višem nivou apstrakcije, može se pristupiti sintezi na nižem nivou apstrakcije, bližem konačnoj realizaciji. Naime treba doći do odgovarajuće električne šeme modulatora.

Sa slike 2 mogu se uočiti osnovni gradivni blokovi kola: integrator, kolo za sabiranje, kvantizer i D/A konvertor. Oba integratora biće realizovana kao diskretni analogni integrator sa kašnjenjem [9]. Sabirač koji sumira signale iz prvog i drugog integratora i ulaza modulatora realizuje se preko invertujućeg pojačavača. Rezoluciju od jednog bita na izlazu modulatora, obezbeđuje kvantizer sačinjen od komparatora u kombinaciji sa flip-flopom koji funkcionalno predstavlja 1-bitni ADC. Kao što je to već standardna praksa, ovakve sisteme najpogodnije je realizovati u CMOS tehnologiji pomoću SC kola. Prema tome, koeficijenti modulatora implementiraju se u obliku količnika kapacitivnosti odgovarajućih kondenzatora u kolu SC integratora i pojačavača. Uprošćena električna šema kola ΣΔ modulatora prikazana je na slici 5. Da bi se povećala otpornost na eksterne šumove, upotrebljena je diferencijalna realizacija. V_{REF} i V_{CM} označavaju referentni napon i napon srednje vrednosti na diferencijalnim ulazima (*common-mode*), respektivno, gde je $V_{CM} = V_{DD}/2$, a V_{DD} napon napajanja. Ulazni, diferencijalni, napon označen je sa V_{IN} . Bitno je napomenuti da ulazni napon dolazi sa izlaza SH kola. To praktično znači da se vrednosti svih napona u kolu modulatora, osim V_{REF} , referenciraju u odnosu na V_{CM} . Sa C_I , C_{II} i C_{III} označeni su kondenzatori u povratnoj sprezi prvog i drugog integratora i pojačavača, respektivno. Vrednosti ostalih kondenzatora u kolu izračunavaju se kao proizvod ovih kapacitivnosti i odgovarajućih koeficijenata modulatora. Diferencijalni izlazi 1-bitnog kvantizera označeni su sa Q i nQ .

Rad SC kola odvija se u dva komplementarna, nepreklapajuća, taktna ciklusa Φ_1 i Φ_2 frekvencije, f_s . U toku trajanja ciklusa Φ_1 na ulaznom kondenzatoru nagomilava se naelektrisanje srazmerno signalu na ulazu. Za vreme trajanja ciklusa Φ_2 , naelektrisanje akumulirano na ulaznom kondenzatoru, prenosi se na kondenzator u povratnoj sprezi. Kao posledica transfera naelektrisanja na kondenzator u povratnoj sprezi, na izlazu SC kola stvara se pad napona. On je jednak ulaznom naponu pomnoženom sa odnosom kapacitivnosti ulaznog i kondenzatora u povratnoj sprezi. Kod integratora vrednost napona ostaje nepromenjena sve do narednog ciklusa Φ_2 , čime se ostvaruje memorijski efekat. Signal na izlazu svakog integratora zakašnjen je za po jedan takti interval u odnosu na ulazni signal. Ulazni signal i signali sa izlaza oba integratora sumiraju se u fazi Φ_1 . Ulazni i kondenzator u povratnoj sprezi u kolu invertujućeg pojačavača prazne se tokom ciklusa Φ_2 , dok se signal na izlazu vraća na V_{CM} . Na ovaj način pojačavač je spreman za sumiranje novih vrednosti u narednom ciklusu Φ_1 . Treba uočiti da su izlazi pojačavača ukršteni na ulazu u komparator s obzirom da se radi o invertujućem pojačavaču.



Sl.5. Električan šema $\Sigma\Delta$ modulatora drugog reda diferencijalne CIPF arhitekture u realizaciji sa SC kolima

U prvom integratoru se, pored integraljenja, realizuje i funkcija sumiranja. U zavisnosti od vrednosti Q i nQ , član

$\pm b_r \cdot V_{REF}$ pojavice se na izlazu prvog integratora (gde je

$b_r = b/V_{REF}$). Ukoliko je $Q=1$ ($nQ=0$), odnosno, „plus“ ulaz komparatora na većem potencijalu od „minus“ ulaza, od

izlaza prvog integratora treba oduzeti član $b_r \cdot V_{REF}$. U

suprotnom, isti iznos treba dodati izlazu prvog integratora. Ovim je ostvarena funkcija povratne sprege.

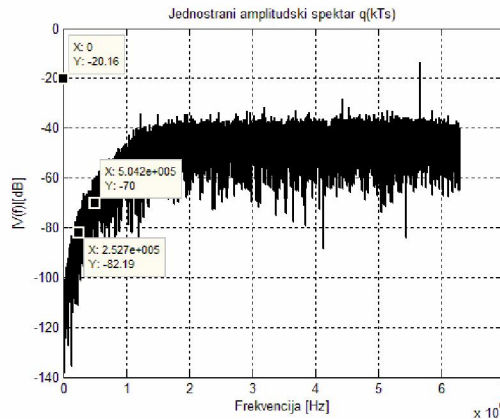
Verifikacija rada ovog kola u vremenskom domenu na tranzistorskom nivou zahteva dugo vreme analize. Zato su razvijeni odgovarajući SPICE modeli. Operacioni pojačavači modelirani su makromodelom idealnog transkonduktansnog

pojačavača (OTA) sa DC pojačanjem od 80dB, a prekidači SPICE modelom prekidača sa konačnom unutrašnjom otpornošću.

5. REZULTATI SIMULACIJE

Funkcionalnost razvijenog modela je potvrđena SPICE simulacijom u vremenskom domenu. Kako se na ulazu modulatora očekuje signal konstantne vrednosti, to je za pobudu izabran diferencijalni jednosmerni napon od $\pm 100\text{mV}$ u odnosu na V_{CM} . Za kapacitivnosti kondenzatora u povratnoj sprezi usvojena je vrednost $C_I=C_{II}=C_{III}=50\text{fF}$.

Za $f_s=12582912\text{Hz}$ dobija se vreme simulacije od približno $61.035 \mu\text{s}$. Empirijski je utvrđeno da se zadovoljavajuća slika spektra dobija FFT analizom u 32768 (2^{15}) tačaka uz korišćenje Hanningove prozorske funkcije. Dakle potrebno vreme simulacije je $32768/f_s \approx 2.604\text{ms}$. Kada se nad povorkom bitova sa izlaza modulatora primeni FFT analiza, dobija se rezultat prikazan na slici 6. Sa slike 6 može se uočiti vrednost na nultoj frekvenciji (DC nivo) od -20.16dB što odgovara $98.17\text{mV} \sim 100\text{mV}$. Nagib krive van osnovnog opsega je 12db/oct (40db/dec) što odgovara nagibu NTF drugog reda. Ovim je funkcija kola potvrđena.



Sl.6. Spektar izlaznog signala za $f_s=12582912\text{Hz}$

6. ZAKLJUČAK

U radu je prikazan postupak sinteze $\Sigma\Delta$ modulatora u inkrementalnom ADC sa multipleksiranim ulazom koji će biti ugrađen u novu generaciju integrisanih merača potrošnje električne energije (IMPEG), sa radnom oznakom IMPEG3. Dat je pregled prethodnih IMPEG verzija i motivi za redizajn analognog, ulaznog dela čipa. Kometarisana je usvojena arhitektura $\Sigma\Delta$ modulatora sa osvrtnom na stabilnost. Prezentovana je električna šema modulatora i objašnjena funkcija kola. Modulator je realizovan kao diferencijalna SC struktura. Funkcija kola potvrđena je SPICE simulacijom. FFT analizom procenjen je spektar signala na izlazu kvantizera. Na osnovu dobijenog spektra može se zaključiti da je funkcija kola ispunjena. U budućim istraživanjima treba doći do konkretnih gabarita za OTA (DC pojačanje, propusni opseg, *slew-rate*, ...) kako bi se nastavilo projektovanje na tranzistorskom nivou. Dakle, model OTA treba, za početak, proširiti uticajem konačnog propusnog opsega i zasićenja. Koeficijenti modulatora definišu se kao količnici odgovarajućih kapacitivnosti u SC

kolima. Izbor kapacitivnosti ograničen je tehnologijom u kojoj će IMPEG3 biti realizovan. Prema tome izabrane referentne vrednosti kapacitivnosti kondenzatora takođe predstavljaju promenljiv parametar. Konačno, prilikom izbora ovih vrednosti treba pronaći dobar kompromis između brzine rada kola, uticaja šumova, uparenosti kondenzatora i zauzeća površine na čipu.

ZAHVALNOST

Rezultati prikazani u ovom radu ostvareni su u okviru projekta TR 32004 koji finansira Ministarstvo prosvete i nauke Republike Srbije.

LITERATURA

- [1] R. Shreirer and G. C. Temes, *Understanding Delta-Sigma Data Converters*, New Jersey: Wiley, 2005.
- [2] M. Nikolić, „Projektovanje lejauta CMOS integrisanih kola sa mešovitim signalima“, Magistarska teza, Univerzitet u Nišu, Elektronski fakultet u Nišu, Niš, 2006.
- [3] M. Marinković, „Decimacioni filtri u trofaznom integrisanom meraču potrošnje električne energije“, Magistarska teza, Univerzitet u Nišu, Elektronski fakultet u Nišu, Niš, 2008.
- [4] <http://leda.elfak.ni.ac.rs/projects/IMPEG/impeg.htm>
- [5] D. Mirković and P. Petković, “Multi channel $\Sigma\Delta$ A/D Converter for Integrated Power Meter,” *Electronics*, vol. 14, No. 1, ISSN: 1450-5843, pp. 123-127, June 2010.

- [6] C. Lynden, J. Ryan, C. A. Ugarte and J. Kornblum, F. M. Yung, ”Single Shot Sigma Delta Analog To Digital Converter for Multiplexed Application,” *IEEE Custom Integrated Circuits Conference*, 1995, pp. 10.3.1-10.3.4.
- [7] J. Márkus, J. Silva and G. C. Temes, “Theory and Application of Incremental $\Delta\Sigma$ Converters,” in *IEEE Transaction on Circuits and Systems*, vol. 51, No. 4, pp. 678-690, April 2004.
- [8] D. Mirković i P. Petković, “High level simulation of multiplexed incremental ADC for Integrated Power Meter,” in *Proc. of Small System Simulation Symposium, Niš*, 2012, pp. 129-134.
- [9] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*, Oxford University Press, New York, 2002.

Abstract – This paper describes the procedure for the synthesis of $\Sigma\Delta$ modulators in analog-digital converter (ADC) with a multiplexed input. The converter is aimed for use in integrated three-phase power meter. The main features of the application of incremental ADC will be presented. Besides, the paper describes architecture of the specific ADC with special emphasis on stability. The proposed modulator architecture has been successfully verified by simulation.

SYNTHESIS OF $\Sigma\Delta$ MODULATOR IN MULTIPLEXED ANALOG TO DIGITAL CONVERTER

Dejan Mirković, Predrag Petković